

(18)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-202317

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H01S 3/18

(21)Application number : 05-349283

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 28.12.1993

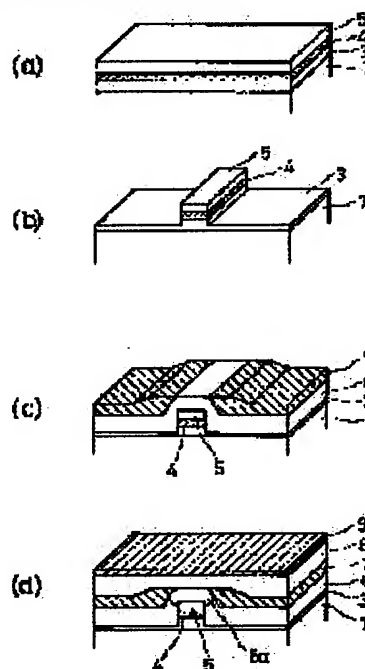
(72)Inventor : KONDO YASUHIRO

(54) MANUFACTURE OF EMBEDDED STRUCTURE SEMICONDUCTOR LASER

(57)Abstract:

PURPOSE: To manufacture an embedded structure semiconductor laser with small element capacity embedded with a semiinsulating layer by means of a simple fabrication process.

CONSTITUTION: An n-type InP layer 3, an undoped InGaAsP layer 4 and a p-type InP layer 5 are grown by means of a MOVPE method on an n-type InP substrate 1, and a mesa structure is formed in a <011> direction by photolithography and etching. Then a Fe doped semi-insulation InP layer 6 and a Se-doped N-type InP layer 7 are grown by the MOVPE method. At this time, if Se-doping concentration of the n-type InP layer 7 is $8 \times 10^{18} \text{cm}^{-3}$ or more, growth of the n-type InP layer 7 at the summit of a ridge structure is suppressed, so that the n-type InP layer 7 may not be deposited on the summit of the ridge structure. Then a p-type InP layer 8 and a p-type InGaAsP layer 9 are grown, and at this time Zn diffuses from the p-type InP layer 8 into the Fe-doped semi-insulation InP layer 6, whereby the Fe-doped semi-insulation InP layer 6a growing on the mesa structure is made a p-type.



LEGAL STATUS

[Date of request for examination]

03.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3256769

[Date of registration]

07.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-202317

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

審査請求 未請求 請求項の数 5

F D

(全7頁)

(21) 出願番号 特願平5-349283

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 近藤 康洋

東京都千代田区内幸町一丁目1番6号 日本

電信電話株式会社内

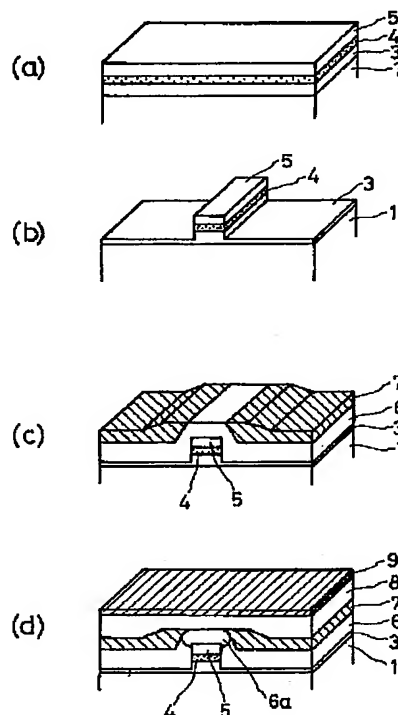
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 埋め込み構造半導体レーザの製造方法

(57) 【要約】

【目的】 半絶縁層で埋め込まれた素子容量の小さい埋め込み構造半導体レーザを簡単な作製工程で作製する。

【構成】 n形InP基板1上にn形InP層3、アンドープInGaAsP層4およびp形InP層5をMOVPE法により成長し、フォトリソグラフィおよびエッチングによって〈011〉方向にメサ構造を形成した後、MOVPE法によりFeドープ半絶縁InP層6、Seドープn形InP層7を成長する。このとき、n形InP層7のSeドーピング濃度を $8 \times 10^{18} \text{ cm}^{-3}$ 以上にすると、リッジ構造頂上部のn形InP層7の成長が抑制され、リッジ構造頂上部にはn形InP層7は堆積せず、次にp形InP層8、p形InGaAsP層9を成長し、このとき、p形InP層8中からFeドープ半絶縁InP層6中にZnが拡散し、メサ構造上部に成長したFeドープ半絶縁InP層6aはp形化される。



【特許請求の範囲】

【請求項1】 n形(100) III-V 族化合物半導体基板上に活性領域を有する〈011〉方向のメサストライプを形成する工程と、

前記半導体基板の全面に有機金属気相成長法により半絶縁半導体電流ブロック層、所定の濃度のVI族元素をドーピングしたn形半導体層を堆積する工程と、

前記半絶縁半導体電流ブロック層およびn形半導体層上にp形半導体オーバーラッド層、p形半導体キャップ層を堆積し、前記活性領域上部の半絶縁半導体電流ブロック層をp形化する工程と、を有することを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項2】 n形(100) III-V 族化合物半導体基板上に〈011〉方向のメサストライプを形成する工程と、

前記半導体基板の全面に有機金属気相成長法により活性層、半絶縁半導体電流ブロック層、所定の濃度のVI族元素をドーピングしたn形半導体層を堆積する工程と、

前記半絶縁半導体電流ブロック層およびn形半導体層上にp形半導体オーバーラッド層、p形半導体キャップ層を堆積し、前記活性層上部の半絶縁半導体電流ブロック層をp形化する工程と、を有することを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項3】 請求項1または請求項2において、VI族元素をドーピングしたn形半導体層を堆積した後、前記半導体基板表面をエッチングして前記メサストライプ上部のみに前記半絶縁半導体電流ブロック層が現れるように加工することを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項4】 請求項3において、前記半導体基板表面のエッチングを有機金属気相成長装置内でエッチング性ガスを使用して行うことを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項5】 請求項1、請求項2または請求項3において、前記メサストライプ上部のみに堆積されていない前記n形半導体層をマスクとしてメサストライプ上部の半絶縁半導体電流ブロック層中にのみp形ドーパントを拡散する工程を有することを特徴とする埋め込み構造半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、有機金属気相成長法を用いた埋め込み構造半導体レーザの製造方法に関するものである。

【0002】

【従来の技術】 通常、低閾値電流、高効率の半導体レーザを作製するためには、埋め込み構造を形成することが必要である。一般に有機金属気相成長法で埋め込み構造を形成するためには、上部に選択成長マスクを有する活性領域を含んだメサストライプの形成および選択成長に

よるメサストライプの埋め込み工程が必要であり、作製工程が複雑になる。レーザ作製プロセスを簡略化するために選択成長マスクを使用しないで活性層を有するメサ構造を埋め込む技術が重要になる。

【0003】 図6は、例えば特願平3-285470号(特開平5-102607号公報)に開示された半導体レーザおよびその製造方法を説明する工程の斜視図である。同図において、まず、図6(a)に示すように(100)面n形InP基板1上にn形InPバッファ層3、アンドープInGaAsP活性層4およびp形InPクラッド層5を有機金属気相成長法(MOVPE)法によって成長する。

【0004】 次に図6(b)に示すようにフォトリソグラフィ技術と選択エッチングとによって〈011〉方向にストライプ幅約 $1.5\mu\text{m}$ 、高さ約 $1.0\mu\text{m}$ 程度のメサ構造を形成する。

【0005】 次に図6(c)に示すようにMOVPE法を用いてp形InP電流ブロック層10、Seドーブn形InP電流閉じ込め層7を成長する。このとき、n形InP層7のSeドーピング濃度を $8 \times 10^{18} \text{cm}^{-3}$ 以上にすると、リッジ構造の頂上部のn形InP層7の成長が完全に抑制され、リッジ構造頂上部にn形InP層7は堆積せず、p形InP層6が表面に出ている層構造になる。また、リッジ構造頂上部以外はn形InP層7が残っているため、p形InP電流ブロック層10、n形InP電流閉じ込め層7はリッジ構造の活性層に対して電流狭窄層および光閉じ込め層として働く。

【0006】 次に図6(d)に示すようにp形InPオーバーラッド層8、p形InGaAsPキャップ層9を成長する。

【0007】 このようにして製作した素子は、選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な製作工程で埋め込み構造レーザ素子を製作することができる。

【0008】

【発明が解決しようとする課題】 素子容量を低減する方法にFeドーブ埋め込み構造がある。従来のFeドーブ埋め込み構造レーザの製造方法は、上部に選択成長マスクを有する活性領域を含んだメサストライプの形成および選択成長によるメサストライプの埋め込み工程が必要であり、製作工程が複雑であり、特願平3-285470号で示された半導体レーザおよびその製造方法のように選択成長マスクを使用しないで活性層を有するメサ構造を埋め込むような簡略化されたレーザ作製プロセスを応用することができなかった。

【0009】 したがって本発明は、前述した従来の課題を解決するためになされたものであり、その目的は、半絶縁層で埋め込まれた素子容量の小さい埋め込み構造半導体レーザを簡単な作製工程で作製することができる埋め込み構造半導体レーザの製造方法を提供することにあ

る。また、本発明の他の目的は、広い範囲（メサ構造、成長条件）において作製が可能であり、成長条件などの変化に影響されることなく、再現性良く、高い歩留まりで作製することができる埋め込み構造半導体レーザの製造方法を提供することにある。

【0010】

【課題を解決するための手段】このような目的を達成するために本発明による埋め込み構造半導体レーザの製造方法は、 n 形（100）III-V族化合物半導体基板上に活性領域を有する〈011〉方向のメサストライプを形成する工程と、半導体基板の全面に有機金属気相成長法により半絶縁半導体電流ブロック層、所定の濃度のVI族元素をドーピングした n 形半導体層を堆積する工程と、半絶縁半導体電流ブロック層および n 形半導体層上に p 形半導体オーバーラッド層、 p 形半導体キャップ層を堆積し、活性領域上部の半絶縁半導体電流ブロック層を p 形化する工程とを有している。

【0011】また、本発明による他の埋め込み構造半導体レーザの製造方法は、 n 形（100）III-V族化合物半導体基板上に〈011〉方向のメサストライプを形成する工程と、半導体基板の全面に有機金属気相成長法により活性層、半絶縁半導体電流ブロック層、所定の濃度のVI族元素をドーピングした n 形半導体層を堆積する工程と、半絶縁半導体電流ブロック層および n 形半導体層上に p 形半導体オーバーラッド層、 p 形半導体キャップ層を堆積し、活性層上部の半絶縁半導体電流ブロック層を p 形化する工程とを有している。

【0012】

【作用】ここで、前述した埋め込み構造半導体レーザの製造方法を説明すると、次のようになる。半絶縁半導体電流ブロック層は p 形ドーパントを拡散することにより、 p 形化することが可能である。また、 Fe ドーブ InP 層中では p 形のドーパントである Zn の拡散速度が異常に速いことが知られている。そこで、 p 形ドーパントの拡散が遅い n 形層を拡散時の選択マスクとし、特定領域の Fe ドーブ層のみに Zn を拡散して p 形化することが可能である。

【0013】つまり、従来の製造方法において、 p 形半導体電流ブロック層の位置に半絶縁半導体層を十分な電流ブロックが可能な層厚だけ成長し、続けてVI族ドーパントを高ドーピングした n 形半導体層を成長する。 n 形半導体層はメサ構造上部では成長が抑制され、メサ構造上部だけに半絶縁半導体層が表面に現れた構造になる。その後、成長面側から p 形ドーパントを拡散する。拡散の方法としては、基板上に高ドーブ p 形半導体層を成長するか、または気相拡散を行うなどの方法が考えられる。このとき、 n 形半導体層が p 形ドーパントの拡散防止マスクとして働くが、メサ構造上部には n 形半導体層がないため、半絶縁半導体層中に p 形ドーパントが拡散し、メサ上に堆積した半絶縁半導体は p 形半導体層に変

化する。このため、メサ構造にのみ電流が注入可能な電流狭窄構造が形成できる。また、この埋め込み構造を電流ブロックを半絶縁半導体層で行っているため、埋め込み層に容量を持たず、素子容量の小さい半導体レーザを簡単に作製することが可能である。

【0014】また、この作製方法の技術的ポイントは、選択成長マスクを用いずにメサ構造上部の n 形半導体成長を完全に抑制することである。もし、メサ構造上部に少しでも n 形半導体層が成長した場合、メサ構造上に成長した半絶縁半導体層は p 形化されなくなり、メサ構造中に存在する活性領域に電流を注入できなくなる。メサ上の n 形層の成長を完全に抑制するためには、メサ形状、成長条件の許容範囲が狭くなる（例えば図7に示されたメサ幅 $w=1.1\mu m$ 程度、 Se 濃度が $8\times 10^{18}cm^{-3}$ 以上の n 形 InP で埋め込む場合）。しかし、 n 形層の成長を完全に抑制できなくても、広い範囲でメサ構造上部の n 形成長層と他の領域で十分な膜厚の違いを実現できる。例えば図7に示すようにメサ幅が広く $w=3.5\mu m$ 程度であってもVI族ドーパント濃度が $8\times 10^{18}cm^{-3}$ 以上の場合、また、メサ幅 $w=1.1\mu m$ 程度であれば、VI族ドーパント濃度が $5\times 10^{18}cm^{-3}$ 以上の場合にはメサ上の n 形 InP の成長速度は $1/2$ 以下に抑制され、他の領域と十分な膜厚の違いを実現できている。そこで n 形層まで成長した後、全面をエッチングすることにより、メサ上の n 形層のみを除去し、半絶縁半導体層を表面に出すことができる。したがって、その後、基板全面に p 形ドーパントを拡散することにより、活性領域には電流注入が可能な半絶縁半導体層で電流ブロックされた素子容量が小さい埋め込み構造が製造できる。また、エッチング工程は、基板全面をエッチングするためにパターニングなどの前処理が不要で反応炉内でのエッチング性ガスを用いたエッチングなどにより、簡単にを行うことが可能である。

【0015】

【実施例】以下、図面を用いて本発明の実施例を詳細に説明する。

（実施例1）図1（a）～図1（d）は、本発明による埋め込み構造半導体レーザの製造方法の第1の実施例を説明する工程の斜視図である。同図において、図1

（a）に示すように（100）面 n 形 InP 基板1上に膜厚 $d=1.0\mu m$ の n 形 InP バッファ層3、膜厚 $d=0.1\mu m$ の $AndoPInGaAsP$ 活性層4および膜厚 $d=0.3\mu m$ の p 形 InP クラッド層5を有機金属気相成長（MOVPE）法によって成長する。

【0016】次に図1（b）に示すようにフォトリソグラフィ技術と選択エッチングとによって〈011〉方向にストライプ幅約 $1.5\mu m$ 、高さ約 $1.0\mu m$ 程度のメサ構造を形成する。

【0017】次に図1（c）に示すようにMOVPE法を用いて膜厚 $d=2.5\mu m$ の Fe ドーブ半絶縁 InP

電流ブロック層6, 膜厚 $d=0.6\mu\text{m}$ のSeドープn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $8\times 10^{18}\text{cm}^{-3}$ 以上にすると、先のFeドープ半絶縁InP電流ブロック層6の成長で形成されたリッジ構造の頂上部におけるn形InP拡散防止層7の成長が抑制され、リッジ構造頂上部にはn形InP拡散防止層7は堆積しない。

【0018】次に図1(d)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバークラッド層8, 膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。このとき、p形InPオーバークラッド層8中からFeドープ半絶縁InP電流ブロック層6中にZnが拡散し、メサ構造上部に成長したFeドープ半絶縁InP電流ブロック層6aはp形化され、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成される。

【0019】このようにして製作された素子は選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で半絶縁埋め込み構造レーザ素子を製作することができる。

【0020】(実施例2)図2(a)~図2(d)は、本発明による埋め込み構造半導体レーザの製造方法の第2の実施例を説明する工程の斜視図である。同図において、まず、図2(a)に示すように(100)面n形InP基板1上にスパッタリング法によって SiO_2 膜を堆積し、フォトリソグラフィ技術によって〈011〉方向にストライプ幅約 $2.5\mu\text{m}$ の選択成長領域を有する SiO_2 成長マスク2を形成する。

【0021】次に図2(b)に示すように膜厚 $d=0.6\mu\text{m}$ のn形InPバッファ層3, 膜厚 $d=0.1\mu\text{m}$ のアンドープInGaAsP活性層4および膜厚 $d=0.3\mu\text{m}$ のp形InPクラッド層5をMOVPE法によって成長する。

【0022】次に図2(c)に示すように SiO_2 選択成長マスク2をHFによって除去した後、MOVPE法を用いて膜厚 $d=2.5\mu\text{m}$ のFeドープ半絶縁InP電流ブロック層6, 膜厚 $d=0.6\mu\text{m}$ のSeドープn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $8\times 10^{18}\text{cm}^{-3}$ 以上にすると、先のFeドープ半絶縁InP電流ブロック層6の成長で形成されたリッジ構造の頂上部におけるn形InP拡散防止層7の成長が完全に抑制され、リッジ構造頂上部にはn形InP拡散防止層7は堆積しない。

【0023】次に図2(d)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバークラッド層8, 膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。このとき、p形InPオーバークラッド層8中からFeドープ半絶縁InP電流ブロック層6中にZnが拡散し、メサ構造上部に成長したFeドープ半絶縁InP

電流ブロック層6aはp形化され、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成される。

【0024】このようにして製作された素子は、選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で半絶縁埋め込み構造レーザ素子を製作することができる。

【0025】(実施例3)図3(a)~図3(c)は、本発明による埋め込み構造半導体レーザの製造方法の第3の実施例を説明する工程の斜視図である。同図において、まず、図3(a)に示すように(100)面n形InP基板1上にフォトリソグラフィ技術と選択エッチングとによって〈011〉方向にストライプ幅約 $2.0\mu\text{m}$, 高さ約 $1.0\mu\text{m}$ 程度のメサ構造を形成する。

【0026】次に図3(b)に示すようにMOVPE法を用いて膜厚 $d=0.1\mu\text{m}$ のn形InPバッファ層3, 膜厚 $d=0.1\mu\text{m}$ のアンドープInGaAsP活性層4, 膜厚 $d=2.5\mu\text{m}$ のFeドープ半絶縁InP電流ブロック層6および膜厚 $d=0.6\mu\text{m}$ のSeドープn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $5\times 10^{18}\text{cm}^{-3}$ 以上にすると、リッジ構造の頂上部のn形InP拡散防止層7の成長が完全に抑制され、リッジ構造頂上部にはn形InP拡散層7は堆積しない。

【0027】次に図3(c)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバークラッド層8, 膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。このとき、p形InPオーバークラッド層8中からFeドープ半絶縁InP電流ブロック層6中にZnが拡散し、メサ構造上部に成長したFeドープ半絶縁InP電流ブロック層6aはp形化され、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成される。

【0028】このようにして製作された素子は、選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で埋め込み構造レーザ素子を製作することができる。

【0029】(実施例4)図4(a)~図4(e)は、本発明による埋め込み構造半導体レーザの製造方法の第4の実施例を説明する工程の斜視図である。同図において、まず図4(a)に示すように(100)面n形InP基板1上に膜厚 $d=1.0\mu\text{m}$ のn形InPバッファ層3, 膜厚 $d=0.1\mu\text{m}$ のアンドープInGaAsP活性層4および膜厚 $d=0.3\mu\text{m}$ のp形InPクラッド層5をMOVPE法によって成長する。

【0030】次に図4(b)に示すようにフォトリソグラフィ技術と選択エッチングとによって〈011〉方向にストライプ幅約 $1.5\mu\text{m}$, 高さ約 $1.0\mu\text{m}$ 程度のメサ構造を形成する。

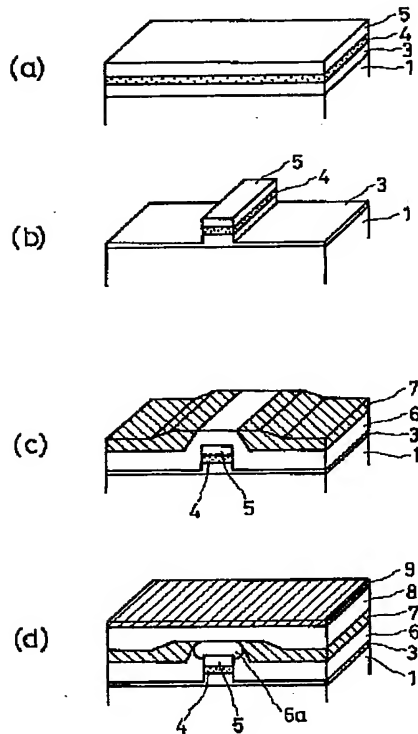
【0031】次に図4(c)に示すようにMOVPE法

【符号の説明】

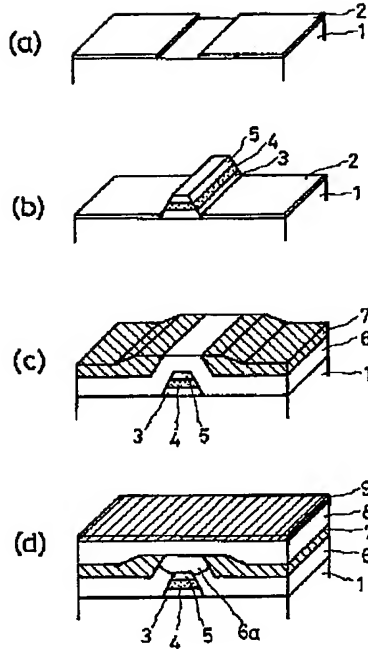
- 1 n形InP基板
2 SiO₂選択成長マスク
3 Seドープn形InPバッファ層
4 アンドープInGaAsP活性層
5 p形InPクラッド層
6 FeドープInP電流ブロック層

- 6a Feドープp形InP電流ブロック層
7 Seドープn形InP拡散防止層
8 p形InPオーバークラッド層
9 p形InGaAsPキャップ層
6 Feドープp形InP電流ブロック層
10 p形InP電流ブロック層

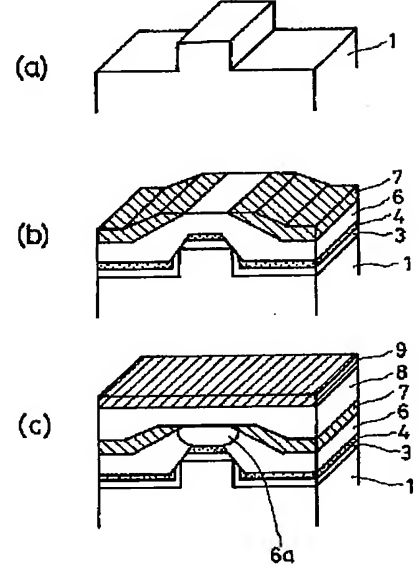
【図1】



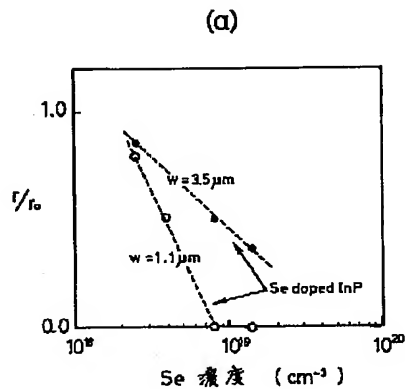
【図2】



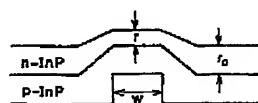
【図3】



【図7】



(b)



を用いて膜厚 $d=2.5\mu\text{m}$ のFeドープ半絶縁InP電流ブロック層6、膜厚 $d=1.0\mu\text{m}$ のSeドープn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $5\times 10^{18}\text{cm}^{-3}$ 以上にすると、リッジ構造の頂上部のn形InP拡散防止層7の成長が抑制され、リッジ構造頂上部以外のn形InP拡散防止層7の $1/2$ 以下の厚さしか堆積しない。

【0032】次に図4(d)に示すように反応管中に塩化水素ガスを流し、成長面全面を約 $0.5\mu\text{m}$ 程度エッチングする。このとき、リッジ構造上部はn形InP拡散防止層7が成長抑制され、その膜厚は約 $0.5\mu\text{m}$ 以下になっており、半絶縁InP電流ブロック層6が表面に現れる。

【0033】次に図4(e)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバークラッド層8、膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。このとき、p形InPオーバークラッド層8中からFeドープ半絶縁InP電流ブロック層6中にZnが拡散し、メサ構造上部に成長したFeドープ半絶縁InP電流ブロック層6aはp形化され、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成される。

【0034】このようにして製作された素子は選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で半絶縁埋め込み構造レーザ素子を製作することができる。

【0035】(実施例5)図5(a)～図5(e)は、本発明による埋め込み構造半導体レーザの製造方法の第5の実施例を説明する工程の斜視図である。同図において、まず図5(a)に示すように(100)面n形InP基板1上に膜厚 $d=1.0\mu\text{m}$ のSeドープn形InPバッファ層3、膜厚 $d=0.1\mu\text{m}$ のアンドープInGaAsP活性層4および膜厚 $d=0.3\mu\text{m}$ のp形InPクラッド層5をMOVPE法によって成長する。

【0036】次に図5(b)に示すようにフォトリソグラフィ技術および選択エッチングによって〈011〉方向にストライプ幅約 $1.5\mu\text{m}$ 、高さ約 $1.0\mu\text{m}$ 程度のメサ構造を形成する。

【0037】次に図5(c)に示すようにMOVPE法を用いて膜厚 $d=2.5\mu\text{m}$ のFeドープ半絶縁InP電流ブロック層6、膜厚 $d=0.6\mu\text{m}$ のSeドープn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $8\times 10^{18}\text{cm}^{-3}$ 以上にすると、リッジ構造上部のn形InP拡散防止層7の成長が完全に抑制され、リッジ構造上部にはn形InP拡散防止層7は堆積しない。

【0038】次に図5(d)に示すように反応炉の温度を約 400°C にしてDMZを供給することによってZnの気相拡散を行う。このとき、Seドープn形InP拡

散防止層7が拡散防止マスクの働きをし、メサ構造上部の半絶縁InP電流ブロック層6aのみにZnが拡散されてp形化する。

【0039】次に図5(e)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバークラッド層8、膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。これにより、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成できる。

【0040】このようにして製作された素子は選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で半絶縁埋め込み構造レーザ素子を製作することができる。

【0041】なお、前述した実施例4においては、塩素ガスを用いてn形InP拡散防止層7のエッチングを行ったが、他のエッチング方法を用いても、同様の効果が得られる。

【0042】また、前述した実施例1～実施例4においては、n形InP拡散防止層7に使用するドーパントはSeなどの他のVI族ドーパントであっても良いことは明かである。

【0043】また、前述した実施例1～実施例5においては、InP系の半導体レーザについて説明したが、GaAs系などの他のIII-V族化合物半導体レーザであっても良い。

【0044】

【発明の効果】以上、説明したように本発明によれば、半絶縁埋め込み構造半導体レーザを、選択成長マスクを用いた埋め込み成長工程を行わず、簡単な作製工程で製作することができる。また、エッチング工程を併用することにより、n形拡散防止層のリッジ上での完全な成長抑制が不要となるので、広い範囲(メサ構造、成長条件)においてレーザ素子を作製可能であり、各種の素子に応用可能である。さらに成長条件の変化などに影響を受けにくいので、高い再現性、歩留まりが実現できるなどの極めて優れた効果が得られる。

【図面の簡単な説明】

【図1】本発明による埋め込み構造半導体レーザの製造方法の第1の実施例を説明する工程の斜視図である。

【図2】本発明による埋め込み構造半導体レーザの製造方法の第2の実施例を説明する工程の斜視図である。

【図3】本発明による埋め込み構造半導体レーザの製造方法の第3の実施例を説明する工程の斜視図である。

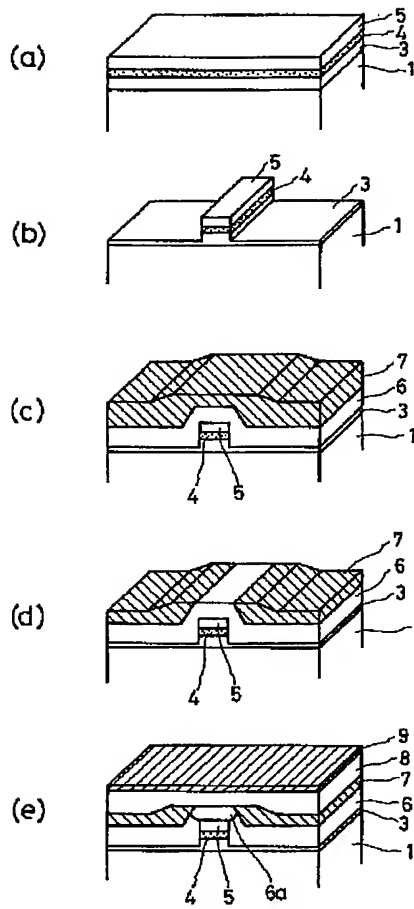
【図4】本発明による埋め込み構造半導体レーザの製造方法の第4の実施例を説明する工程の斜視図である。

【図5】本発明による埋め込み構造半導体レーザの製造方法の第5の実施例を説明する工程の斜視図である。

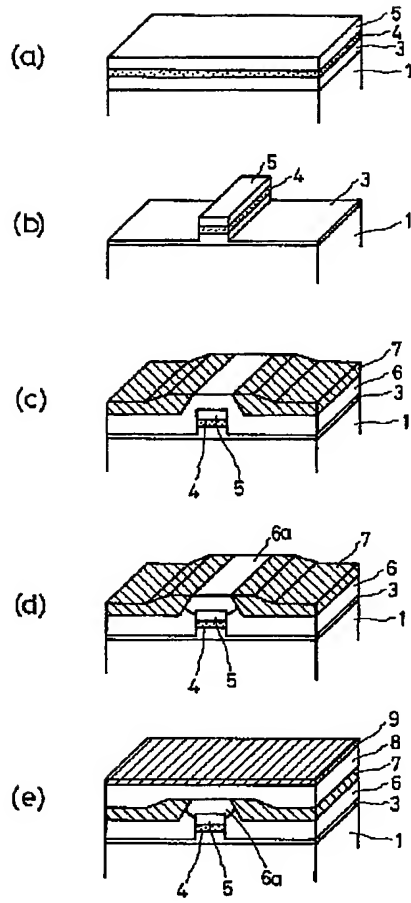
【図6】従来の埋め込み構造半導体レーザの製造方法を説明する工程の斜視面図である。

【図7】メサ上に成長したn形InP層厚のドーピング濃度依存性を示す図である。

【図4】



【図5】



【図6】

